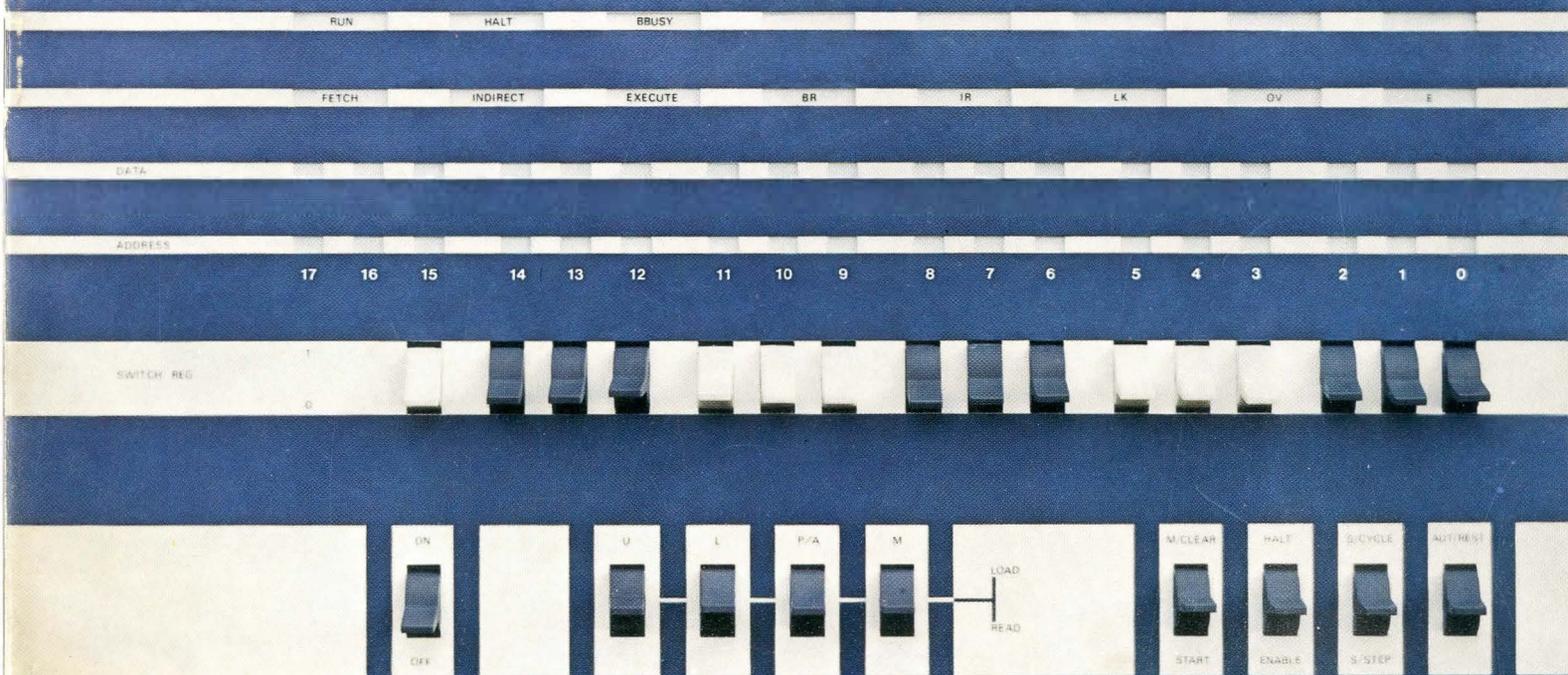
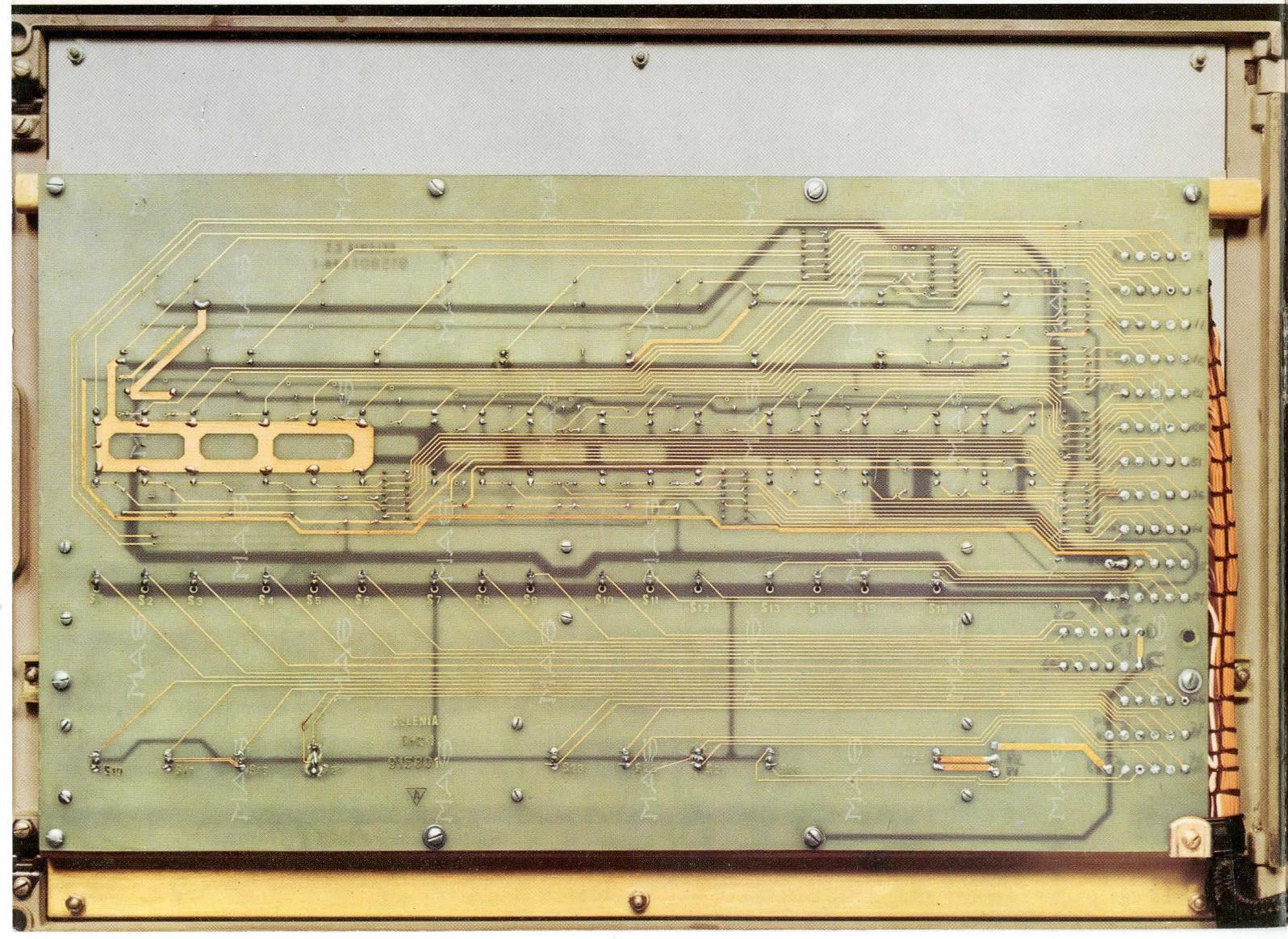


# selenia GP-160





# selenia GP-160



# caratteristiche generali

Il GP-160 è un minicalcolatore digitale « general purpose » dell'ultima generazione, a circuiti integrati miniaturizzati, progettato e costruito dalla Selenia.

Il GP-160 ha una parola di lunghezza di 16 bits più 2 di parità e un ciclo di memoria di 0,8  $\mu$ sec.

Il GP-160 è modularmente espandibile in quanto è possibile collegare una vasta gamma di unità di sistema per mezzo delle varie interfacce di controllo, che possono trovare collocazione sia nella unità base sia nelle eventuali espansioni previste.

Questa concezione consente una rapida configurazione, una facile estensione ed una comoda manutenzione del sistema considerato.

Il GP-160 è composto dai seguenti elementi:

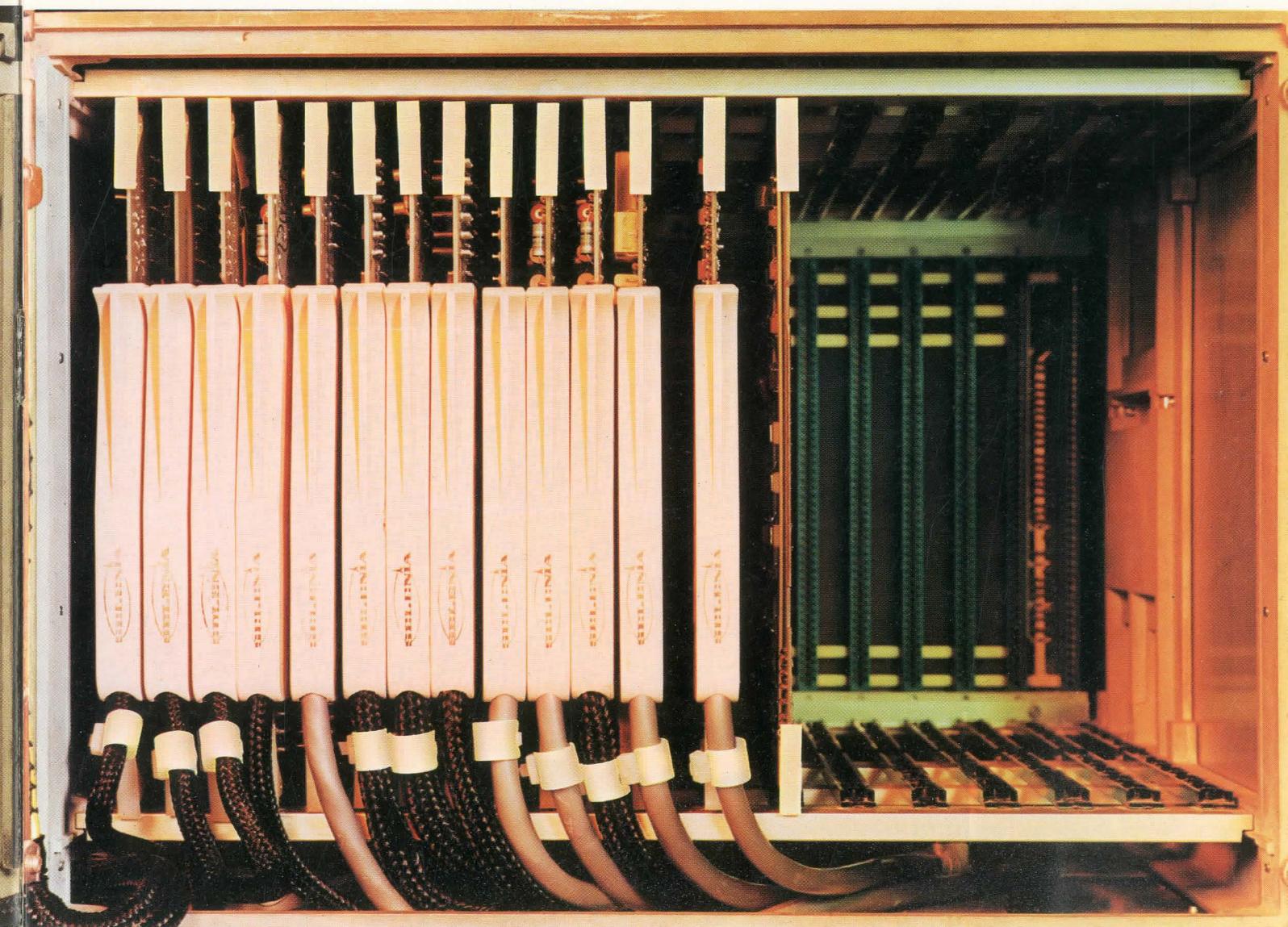
**GP-Bus**

**Central Processor**

**Unità di estensione del Central Processor**

**Memoria**

**Moduli input-output**



# Il GP-bus

Il GP-160 introduce una innovazione fondamentale rispetto ai sistemi della classe precedente: il GP-Bus per lo scambio dei dati ad alta velocità tra le varie unità del sistema.

Grazie a questa concezione il Central Processor, i moduli di memoria e le unità di governo delle periferiche, tutti collegati attraverso il GP-Bus, possono comunicare tra di loro e la struttura del sistema è tale

da permettere il loro funzionamento in modo totalmente asincrono.

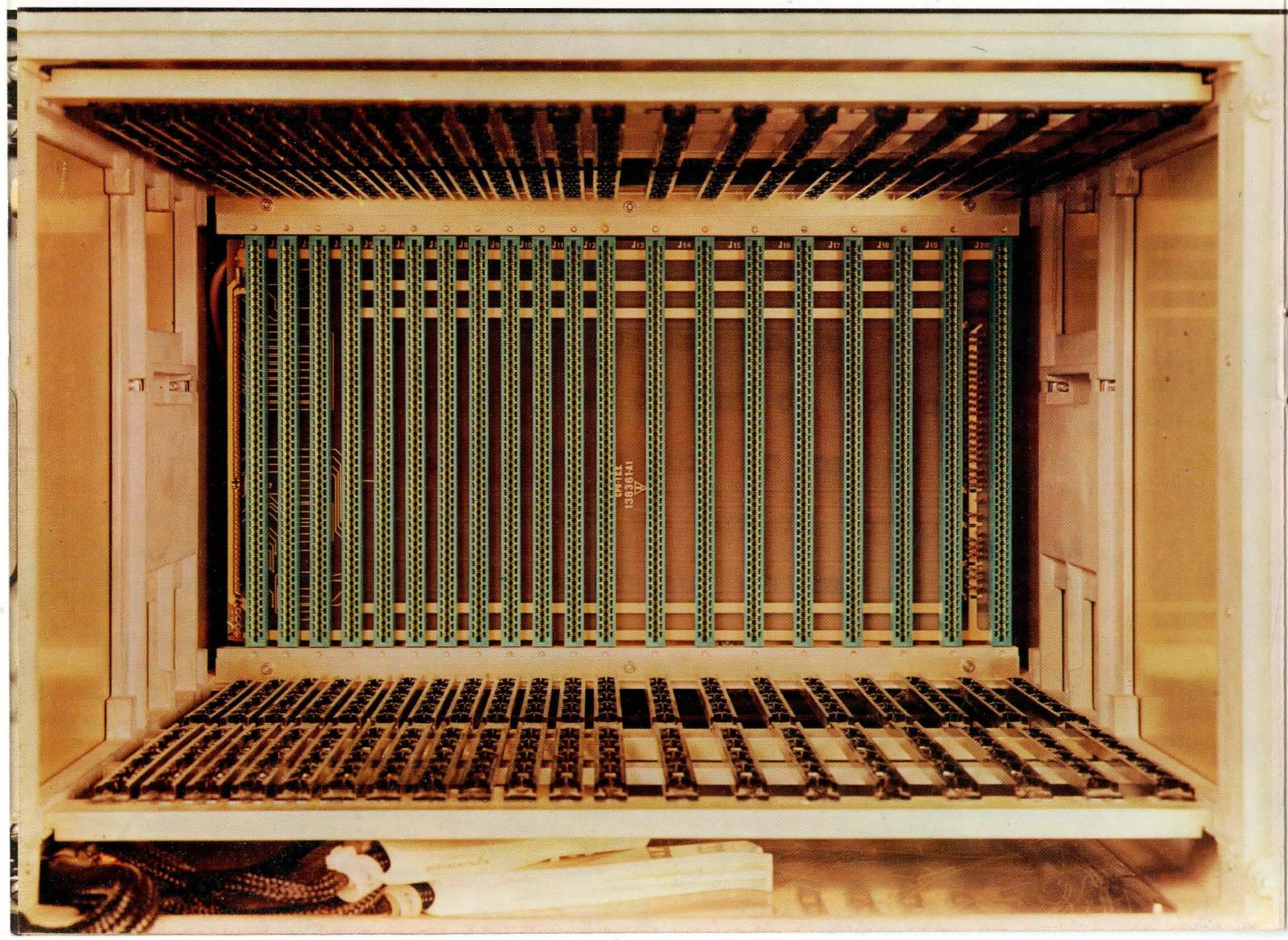
Il Processor non interviene quindi direttamente nello scambio di dati tra unità di input/output e memoria e ciò permette una elevata capacità operativa del sistema.

Il GP-Bus, che già nella configurazione di base dispone di 20 utenze (slots), può estendere la sua capacità di colle-

gamenti per mezzo di apposite unità di espansione (Bus Expanders).

Il GP-Bus del GP-160 consente l'utilizzazione di 62 livelli di priorità assegnabili alle varie periferiche in fase di strutturazione del sistema.

Tale assegnazione è data dalla collocazione fisica dei relativi moduli d'interfaccia all'interno del GP-Bus



# central processor

Il Central Processor « CPU-160 » è composto da tre unità di logica (carte) che realizzano le seguenti funzioni:

**CNT:** Controller del Bus

**EXC:** (Execute): Esecuzione delle istruzioni

**AUN:** (Arithmetic Unit): Unità aritmetica che comprende 4 registri:

PAR (Program Address Register)

ADR (Address Register)

U (Upper Accumulator)

A (Lower Accumulator)

## DATI TECNICI

### Tipo

Aritmetica binaria a complemento a 2, funzionamento parallelo, lunghezza istruzioni e dati: 16 bits.

### Indirizzamento

Diretto alla pagina zero o alla pagina corrente; indiretto multilivello alle altre pagine; pagine di 1024 parole.

### Istruzioni

69 istruzioni standard,

15 funzioni di I/O

Microprogrammazione

Istruzioni di estensione del Processor.

### Tempi di esecuzione

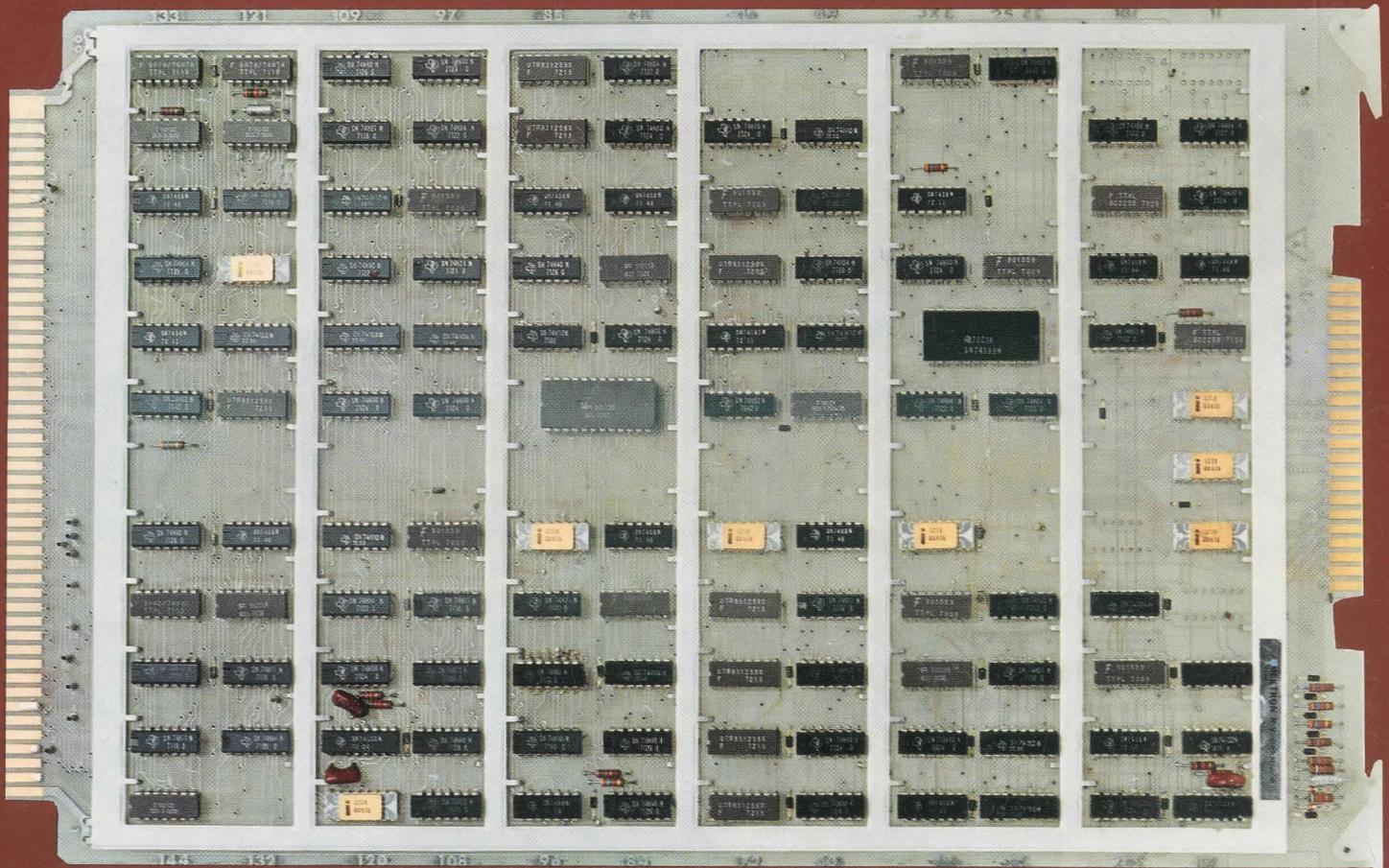
ciclo di memoria	0,8 $\mu$ sec
addizione	1,6 $\mu$ sec
moltiplicazione (opz. in hardware)	8,0 $\mu$ sec
divisione (opz. in hardware)	10,0 $\mu$ sec
indiretto	0,8 $\mu$ sec
trasferimento I/O: programmato	2,0 $\mu$ sec
in accesso diretto	0,8 $\mu$ sec

**Parity check** (opzionale)

**Power Failure e Autorestart**

**Timer interno** (quarzato)

**Binary Loader**



# unita' di estensione del central processor

Le unità di estensione del CPU, sono in grado di svolgere particolari funzioni.

Per mezzo di esse è possibile estendere di volta in volta il set delle istruzioni, a seconda delle esigenze del CPU, aumentandone quindi la potenza di elaborazione.

Sono a disposizione, con possibilità di sviluppo di ulteriori unità, le seguenti funzioni:

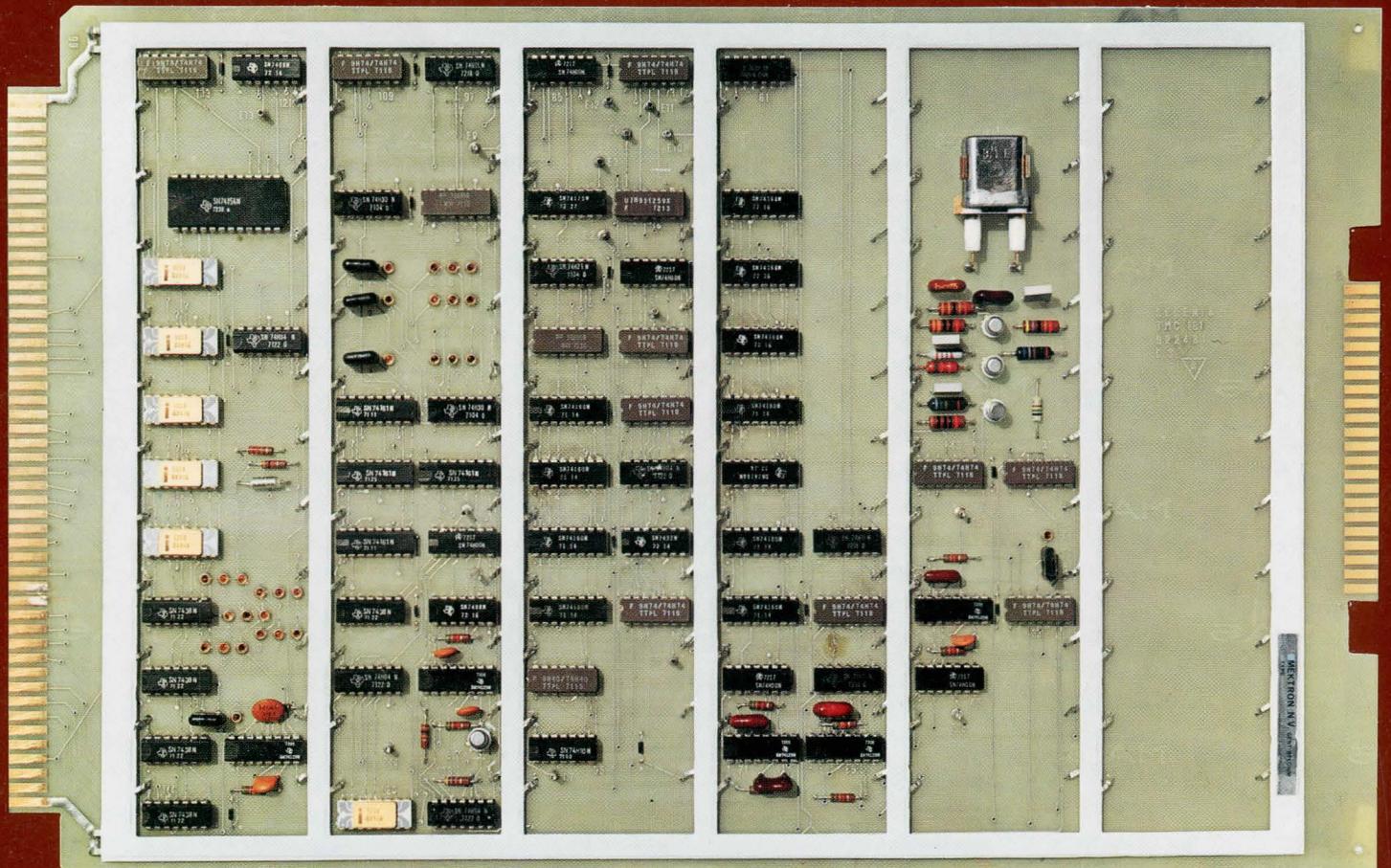
**MATHEMATICS EXTENSION**  
Unità per moltiplicazione, divisione, long shifts, scale factor.

**TIMING**

Real Time Clock, generatore quarzato di due tipi di interruzioni:

a) a frequenza costante scelta da programma tra 5 diverse frequenze;

b) a ritardo variabile da programma a partire da un certo istante.



# memoria

Il GP-160 ha una capacità massima di indirizzamento fino a 32 k/words di memoria. I moduli di memoria sono disponibili in due versioni sia a 16 che a 18 bits/word, con un tempo di ciclo di 0,8  $\mu$ sec.

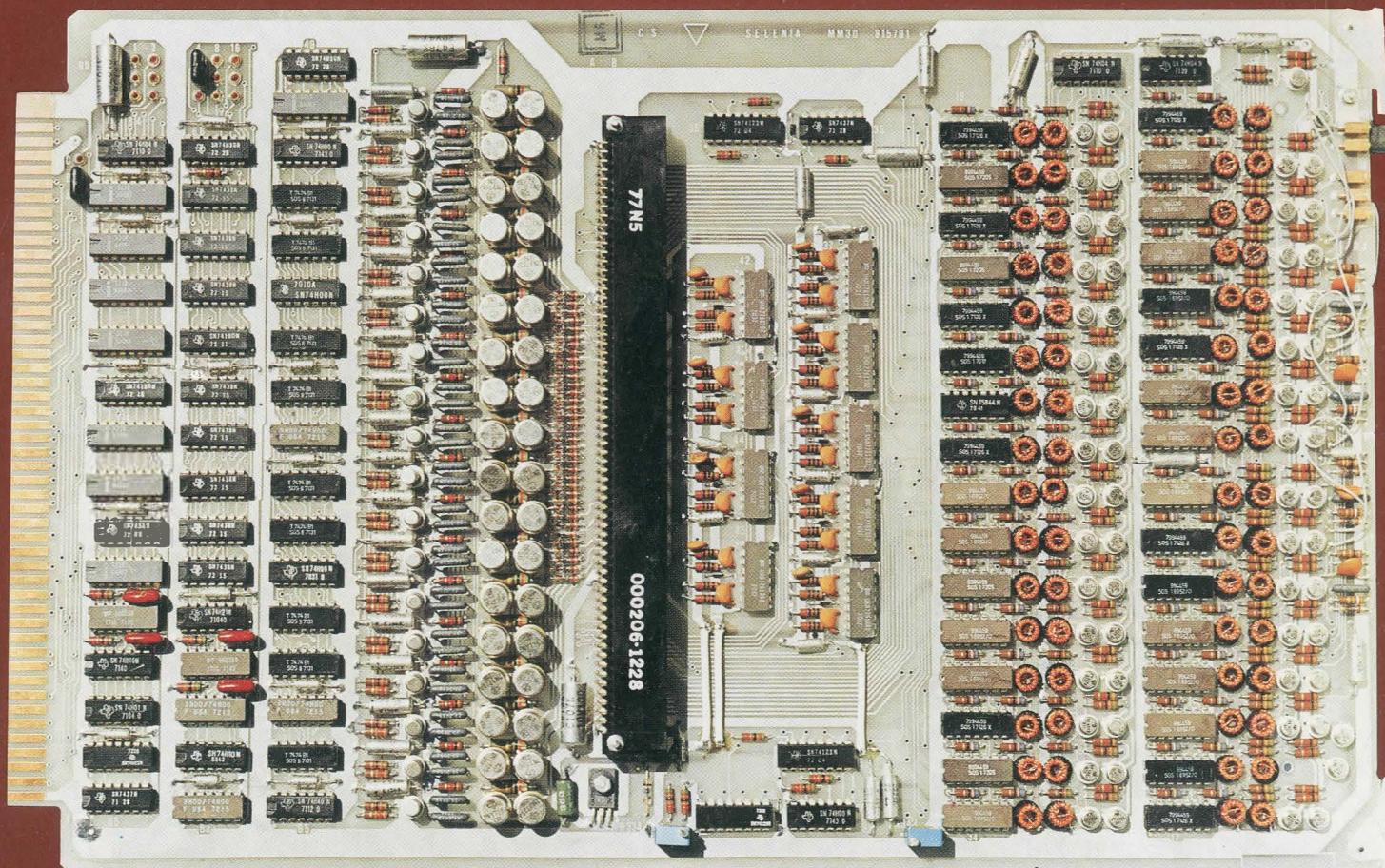
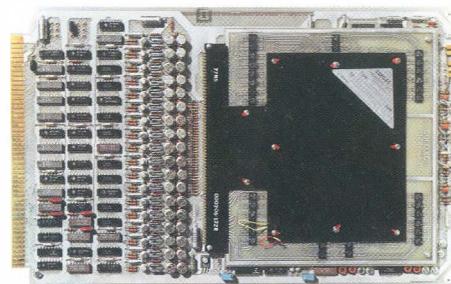
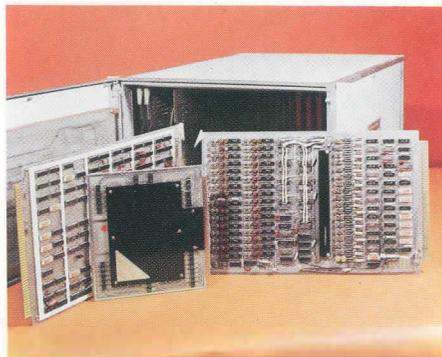
E' da rilevare inoltre la possibilità di accesso diretto alla memoria stessa da parte di tutte le unità periferiche, senza l'uso dei registri del Central Processor.

Ogni canale può operare quindi ad alta velocità fino ad ottenere un trasferimento di 1,25 M/words/sec.

Il GP-160, per mezzo della tecnica di « overlap » dei moduli di memoria, realizza un

« throughput » doppio con un « transfer-rate » sul GP-Bus che raggiunge 2,50 M/words/sec.

Il GP-160 aumenta le sue prestazioni con l'opzione del « memory parity check » che assicura e controlla l'esatto trasferimento dei dati.



# unità di governo delle periferiche

Le esigenze di collegamento di unità periferiche ad un minicomputer possono essere di varia natura in relazione al tipo di problema da risolvere o ai tipi di unità periferiche che possono svolgere la medesima funzione richiesta.

Il GP-160 governa le varie periferiche mediante carte di interfaccia collocabili negli « slots » del GP-Bus.

Il GP-160 dispone pertanto sia di interfacce per unità periferiche destinate all'acquisizione e all'elaborazione dei dati

(memorie di massa, stampanti seriali e parallele, lettori di schede e di banda perforata, nastri magnetici, terminali locali e remoti, etc. ...) sia di interfacce tipiche della periferia di processo (moduli per 16 e per 32 ingressi e uscite a vari livelli, convertitori analogico-digitali, etc. ...).

Tali governi sono stati progettati per una vasta gamma di apparecchiature e alcuni di essi possono controllare contemporaneamente anche più periferiche (carte d'interfaccia multiple).

## PERIFERICHE COLLEGABILI

Telescriventi

Stampanti seriali

Stampanti parallele

Lettori di schede

Lettori di banda

Perforatori di banda (8 canali)

Memorie di massa

— a tamburo

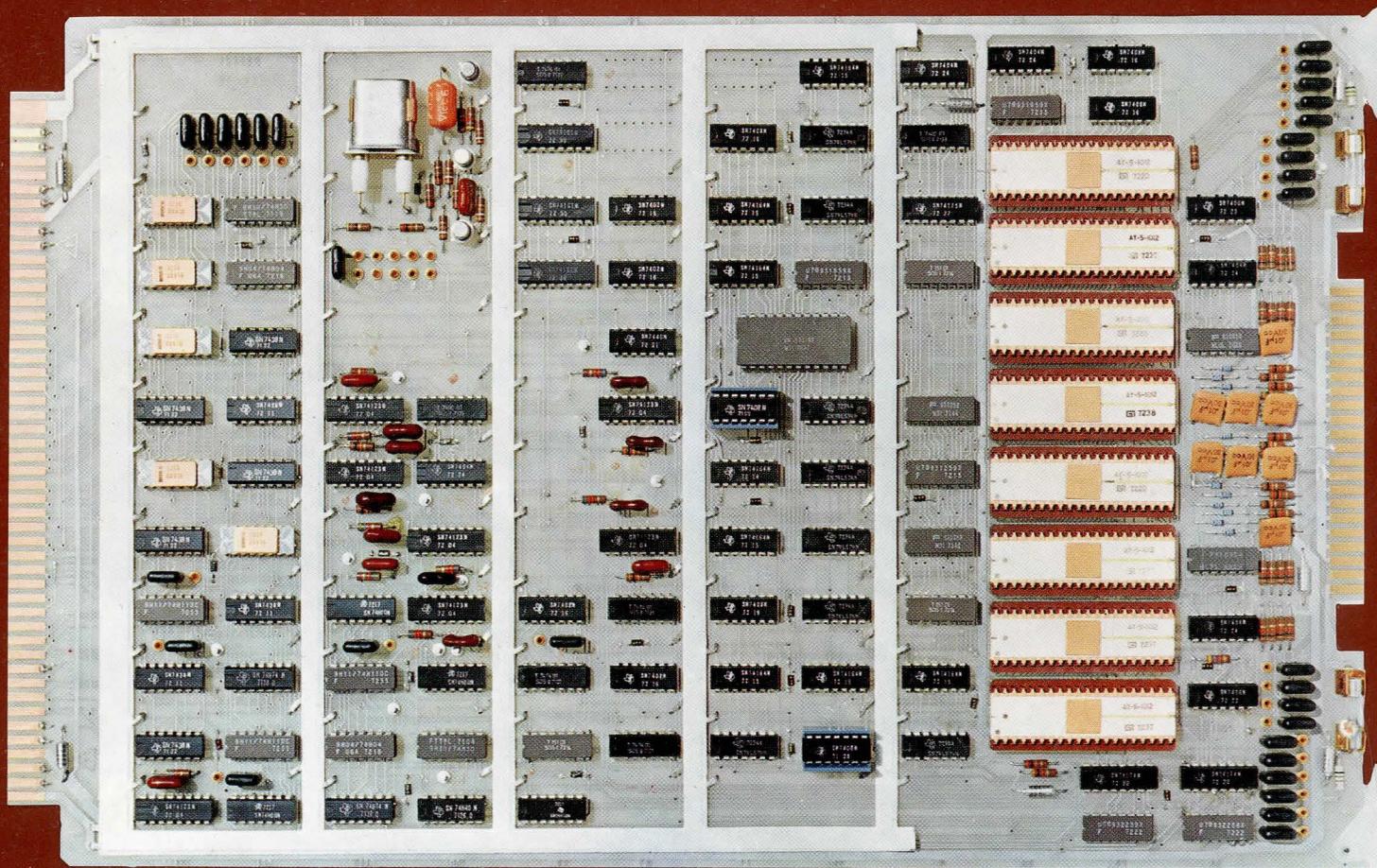
— a dischi

Unità a nastro magnetico

Unità di controllo linea per comunicazioni di tipo sincrono e asincrono (Half-Duplex, Full-Duplex)

Unità di moltiplicazione per linee telegrafiche

Adattatori input-output per applicazioni « on-line » a processi industriali.



# software

## SOFTWARE GP-160

Il GP-160 è dotato di un valido software standard derivato da quello dei modelli precedenti. Sia i linguaggi (ASSEMBLER, FORTRAN, BASIC) che i sistemi operativi precedenti sono compatibili in senso ascendente.

Nel GP-160 è stata implementata la libreria standard che comprende:

— BASIC STANDARD SOFTWARE	(BSS)
— TAPE OPERATING SYSTEM	(TOS)
— REAL TIME SUPERVISOR	(RTS)

## BASIC STANDARD SOFTWARE

E' il primo dei sistemi operativi di corredo. Usa come supporto di residenza la banda perforata e fornisce agli utenti un supporto in grado di semplificare la generazione, il «debugging» e l'esecuzione dei programmi.

Il sistema BSS è composto da:

— ASSEMBLER
— FORTRAN
— EDITOR / CORRECTOR
— LINKER / LOADER
— MATHEMATIC LIBRARY

— GENERATORE DI SISTEMA
— CONTROLLO INPUT - OUTPUT
— SOTTOPROGRAMMI PER CONTROLLO PERIFERICHE
— DEBUGGER
— CARICATORE BINARIO
— BOOTSTRAPS

## REAL TIME SUPERVISOR

Il Real-Time Supervisor è un programma di supervisione orientato verso le applicazioni di multi-programmazione in tempo reale.

Compiti principali del RTS sono i seguenti:

- assegnazione delle priorità delle partizioni di lavoro;
- gestione delle interruzioni;
- gestione a livello logico delle operazioni di input-output;
- esecuzione «on-line» di un gran numero di funzioni su comando dell'operatore da console.

Il Real-Time Supervisor opera sia in «foreground» per controllo diretto di processi in «real-time», che in «background» per lavori di «batch».

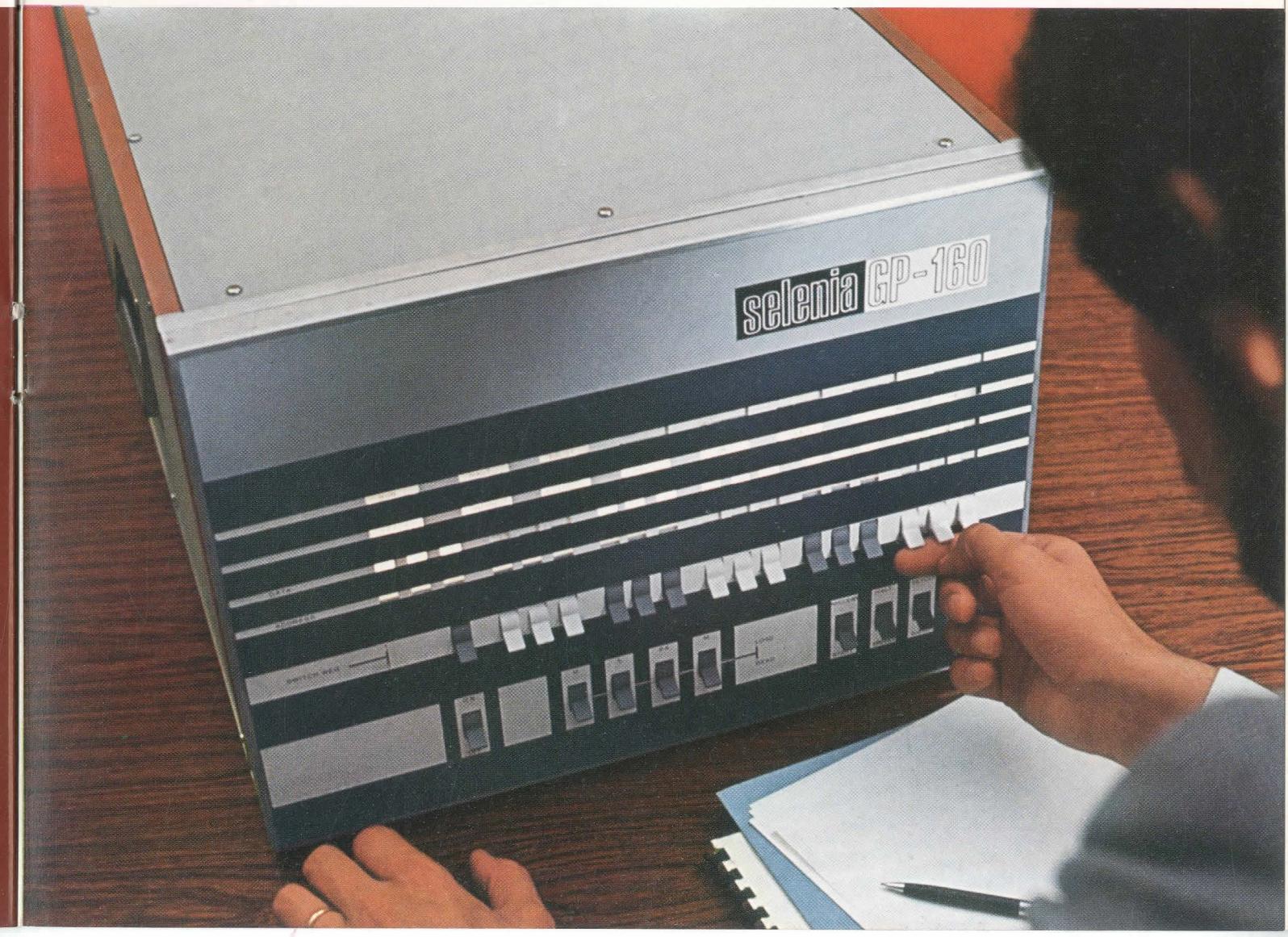
## TAPE OPERATING SYSTEM

Il TOS consente la compilazione, la prova e la messa a punto di programmi dell'utente in maniera del tutto automatica, rendendo estremamente flessibile l'impiego del sistema di hardware e di software disponibile.

Il controllo del sistema è reso possibile per mezzo del colloquio, accentuatamente interattivo, tra l'operatore e il sistema, realizzato con comandi espressi in un linguaggio di tipo corrente, che prescinde, quindi, dalla consultazione di manuali di uso.

I programmi sono conservati nel sistema in forma sorgente (ASSEMBLER, FORTRAN) e per ciascuno di essi il sistema ha anche a disposizione un archivio di modifica, utilizzabile per aggiornamenti temporanei o permanenti.

Il TOS è orientato anche verso la gestione della normale attività operativa. Infatti, insieme alla libreria dei programmi sorgenti, il sistema gestisce una libreria di programmi in assoluto, pronti cioè per la esecuzione.



# set standard di istruzioni

## ISTRUZIONI DI RIFERIMENTO ALLA MEMORIA

<b>AND</b>	AND Logico tra memoria e registro U.
<b>IOR</b>	OR logico inclusivo tra memoria e registro U.
<b>XOR</b>	OR logico esclusivo tra memoria e registro U.
<b>JMP</b>	Salto incondizionato.
<b>RJP</b>	Salto con memorizzazione dell'indirizzo di ritorno.
<b>ISK</b>	Incremento di 1 nel contenuto di memoria e « SKIP » dell'istruzione successiva se questo è uguale a zero.
<b>ADU</b>	Addizione del contenuto della memoria con quello del registro U.
<b>ADL</b>	Addizione del contenuto della memoria con quello del registro L.
<b>CPU</b>	Confronto tra il contenuto del registro U e quello della memoria; se sono diversi, « SKIP » dell'istruzione successiva.
<b>CPL</b>	Confronto tra il contenuto del registro L e quello della memoria; se sono diversi, « SKIP » dell'istruzione successiva.
<b>XMU</b>	Trasferimento del contenuto della memoria nel registro U.
<b>XML</b>	Trasferimento del contenuto della memoria nel registro L.
<b>XUM</b>	Trasferimento in memoria del contenuto del registro U.
<b>XLM</b>	Trasferimento in memoria del contenuto del registro L.

**Note:**

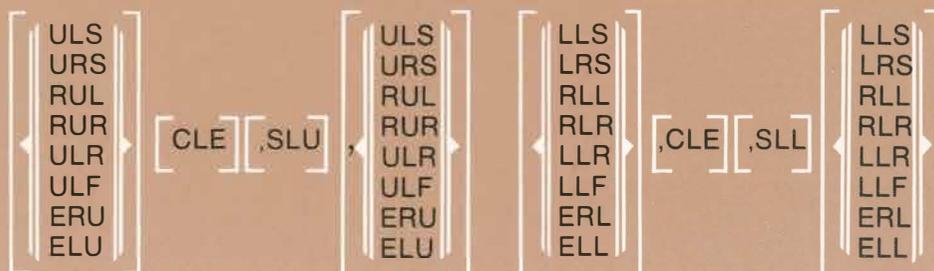
Gli indirizzi operando 000000 e 000001 si riferiscono rispettivamente ai registri U ed L.

## ISTRUZIONI DI RIFERIMENTO AI REGISTRI

### GRUPPO 1 (SHIFT/ROTATE)

<b>ULS</b>	Spostamento a sinistra di un posto dei bits del registro U, con conservazione del segno.
<b>LLS</b>	Spostamento a sinistra di un posto dei bits del registro L, con conservazione del segno.
<b>ULR</b>	Spostamento a sinistra di un posto dei bits del registro U, con azzeramento del segno.
<b>LLR</b>	Spostamento a sinistra di un posto dei bits del registro L, con azzeramento del segno.
<b>URS</b>	Spostamento a destra di un posto dei bits del registro U, con conservazione del segno.
<b>LRS</b>	Spostamento a destra di un posto, con conservazione del segno.
<b>RUL</b>	Rotazione a sinistra di un posto del registro U.
<b>RLL</b>	Rotazione a sinistra di un posto del registro L.
<b>RUR</b>	Rotazione a destra di un posto del registro U.
<b>RLR</b>	Rotazione a destra di un posto del registro L.
<b>ERU</b>	Rotazione a destra di un posto del registro U attraverso il registro E.
<b>ERL</b>	Rotazione a destra di un posto del registro L attraverso il registro E.
<b>ELU</b>	Rotazione a sinistra di un posto del registro U attraverso il registro E.
<b>ELL</b>	Rotazione a sinistra di un posto del registro L attraverso il registro E.
<b>ULF</b>	Rotazione a sinistra di quattro posti del registro U.
<b>LLF</b>	Rotazione a sinistra di quattro posti del registro L.
<b>CLE</b>	Azzeramento del registro E.
<b>SLU</b>	« SKIP » dell'istruzione successiva se il bit meno significativo del registro U è zero.
<b>SLL</b>	« SKIP » dell'istruzione successiva se il bit meno significativo del registro L è zero.
<b>NOP</b>	Passaggio all'esecuzione dell'istruzione successiva.

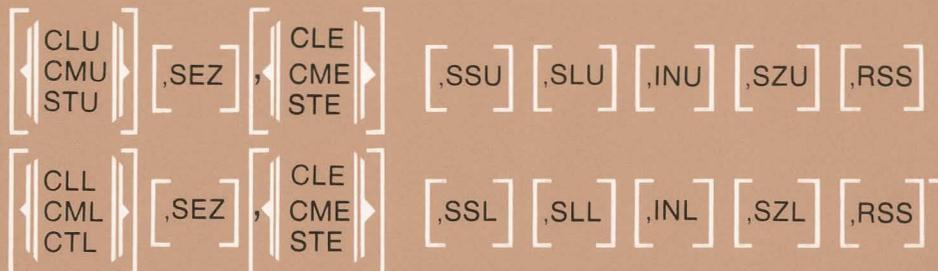
## COSTRUZIONE DELLE ISTRUZIONI COMBinate



## GRUPPO 2 (CLEAR/SKIP)

CLU	Azzeramento del registro U.
CLL	Azzeramento del registro L.
CMU	Complementazione a 1 dei bits del registro U.
CML	Complementazione a 1 dei bits del registro L.
STU	Posizionamento a 1 di tutti i bits del registro U.
STL	Posizionamento a 1 di tutti i bits del registro L.
CLE	Azzeramento del registro E.
CME	Complementazione a 1 del registro E.
STE	Posizionamento a 1 del registro E.
SEZ	« SKIP » dell'istruzione successiva se il contenuto del registro E è uguale a zero.
SLU	« SKIP » dell'istruzione successiva se il bit meno significativo del registro U è uguale a zero.
SLL	« SKIP » dell'istruzione successiva se il bit meno significativo del registro L è uguale a zero.
SSU	« SKIP » dell'istruzione successiva se il bit più significativo del registro U è uguale a zero.
SSL	« SKIP » dell'istruzione successiva se il bit più significativo del registro L è uguale a zero.
INU	Incremento di 1 del registro U.
INL	Incremento di 1 del registro L.
SZU	« SKIP » dell'istruzione successiva se il contenuto del registro U è uguale a zero.
SZL	« SKIP » dell'istruzione successiva se il contenuto del registro L è uguale a zero.
RSS	Combinata = Inversione delle condizioni di « SKIP » Singola = « SKIP » incondizionato.

## COSTRUZIONE DELLE ISTRUZIONI COMBinate



## ISTRUZIONI DI CONTROLLO

STP	Alt di programma.
LWU	Caricamento del registro U con il contenuto dello Switch Register.
LWL	Caricamento del registro L con il contenuto dello Switch Register.
MWU	IOR tra il contenuto dello Switch Register e del registro U.
MWL	IOR tra il contenuto dello Switch Register e del registro L.
SLK	Posizionamento a 1 del Lock-out.
CLK	Azzeramento del Lock-out.
LKS	« SKIP » dell'istruzione successiva se il Lock-out è a 1, e posizionamento del Lock-out a 1.
SCT	Attivazione del « TIMER » interno.
CCT	Disattivazione del « TIMER » interno.
STO	Posizionamento a 1 del registro O.
CLO	Azzeramento del registro O.
SOC	« SKIP » dell'istruzione successiva se il registro O è uguale a zero.
SOS	« SKIP » dell'istruzione successiva se il registro O è uguale a 1.
SCC	« SKIP » dell'istruzione successiva se il registro O è uguale a zero Azzeramento dopo l'esecuzione del « TEST ».
SSC	« SKIP » dell'istruzione successiva se il registro O è uguale a 1 Azzeramento dopo l'esecuzione del « TEST ».

ISTRUZIONI  
INDIRIZZABILI

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D/I	AND	001	0	Z/C	INDIRIZZO DI MEMORIA (0 ÷ 1777 <sub>8</sub> )										
D/I	XOR	010	0	Z/C											
D/I	IOR	011	0	Z/C											
D/I	RJP	001	1	Z/C											
D/I	JMP	010	1	Z/C											
D/I	ISK	011	1	Z/C											
D/I	AD*	100	U/L	Z/C											
D/I	CP*	101	U/L	Z/C											
D/I	XM*	110	U/L	Z/C											
D/I	X*M	111	U/L	Z/C											

ISTRUZIONI  
RELATIVE  
AI REGISTRI

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
0	Spost./rotaz.	000	U/L	0	D/E	*LS	000	CLE	D/E	SL*	*LS	000	Gruppo delle microistruz. spostamento/ rotazione					
						*RS	001				*RS	001						
						R*L	010				R*L	010						
						R*R	011				R*R	011						
						*LR	100				*LR	100						
						ER*	101				ER*	101						
						EL*	110				EL*	110						
						*LF	111				*LF	111						
0	NOP	000				000					000					Gruppo delle microistruz./ azzeramento omissione		
15	14	13	12	11	10	9	8	7	6	5	4	3						
0	Azzer./omis.	000	U/L	1	CL*	01	CLE	01	SEZ	SS*	SL*	IN*	SZ*	RSS				
					CM*	10	CME	10										
					ST*	11	STE	11										

ISTRUZIONI  
DI  
CONTROLLO

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1	STP	000	0	1	0				000	CODICE DI SELEZIONE (OGNI CODICE 0 ÷ 77 <sub>8</sub> )						Istruzioni stop		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1	Speciali	000	U/L	1	0	LW*	001					000			000	Istruzioni speciali		
						MW*	010					000			000			
						SLK	011					000			000			
						CLK	100					000			000			
						LKS	101					000			000			
						SCT	110					000			000			
						GCT	111					000			000			
						STO	001					000			001			
						CLO	010					000			001			
						SOC	011					000			001			
						SOS	100					000			001			
						SCC	101					000			001			
						SSC	110					000			001			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1	I/O*	000	U/L	1	CODICE DI FUNZIONE (OGNI CODICE 1 ÷ 17 <sub>8</sub> )				CODICE DI CANALE (OGNI CODICE 2 ÷ 77 <sub>8</sub> )								Istruzioni ingresso/ uscita	

NOTE:

- \* = U oppure L
- D/I, U/L, Z/C, D/E, codificati: 0/1.
- D/I : 0 = Diretto/1 = Indiretto
- U/L : 0 = Registro U/1 = Registro L
- Z/C : 0 = Pagina Zero/1 = Pagina Corrente
- D/E : 0 = Disabled/1 = Enabled

# caratteristiche tecniche



## SELENIA GP-160

<b>Sistema numerico</b>	binario
<b>Aritmetica</b>	complemento a 2
<b>Funzionamento</b>	parallelo
<b>Tipo di scambio</b>	asincrono
<b>Tempo medio di scambio</b>	0.4 $\mu$ sec
<b>Overlap di cicli</b>	
<b>62 canali</b>	
<b>Tipo di memoria</b>	a nuclei magnetici
<b>Capacità</b>	da 4K a 32K
<b>Lunghezza di parola</b>	16/18 bits (2 di parità)
<b>Numero istruzioni</b>	84 (set standard)
<b>Tempi di esecuzione</b>	
Memory reference	1.6 $\mu$ sec
Jump	0.8 $\mu$ sec
Isk	2.4 $\mu$ sec
Shift/Rotate	2.0 $\mu$ sec
Clear/Skip	2.0 $\mu$ sec
Combinare	2.0 $\mu$ sec
Speciali	1.2 $\mu$ sec
Input/output	1.2 ÷ 2.0 $\mu$ sec
<b>Dimensioni</b>	cm. 31 x 48 x 69,5
<b>Peso</b>	Kg. 40
<b>Sicurezza</b>	Norme IEC 215
<b>Condizioni ambientali</b>	0°C 16 ÷ 72 ore 50°C Rh 80% 96 ore
<b>Alimentazione</b>	220 V $\pm$ 10% 47 ÷ 63 Hz/6A (max)



Industrie Elettroniche Associate S.p.A.  
Divisione Automazione  
Via Tiburtina Km. 12,400 - 00131 Roma,  
C.P. 7083 - 00100 Roma  
Teleg: Selenia Roma  
Telex: 61106 Seleniat  
Tel: 43601

Ufficio di Milano  
Via Vittor Pisani, 22 - C.P. 20124 Milano  
Tel: 662763 - 650204

Aprile 1973